

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-347476

(43)Date of publication of application : 05.12.2003

(51)Int.Cl.

H01L 23/12

H01L 21/60

H01L 27/14

(21)Application number : 2002-148049

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 22.05.2002

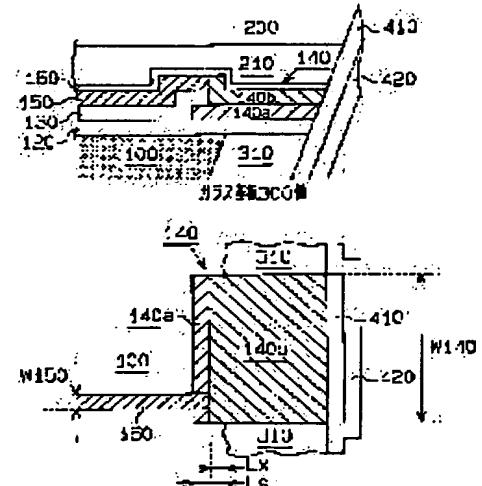
(72)Inventor : MATSUYAMA HISASHI
OKIKAWA MITSURU

(54) SEMICONDUCTOR INTEGRATED DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated device wherein concentration of stress which is generated on a wiring in the semiconductor integrated device is relieved and electrical reliability of the device can be maintained to be high, and to provide a method for manufacturing the device.

SOLUTION: A silicon oxide film 120 is formed on a semiconductor chip 100 on which a CCD image sensor is formed and on an epoxy resin 310 by which the semiconductor chip 100 is stuck to a glass substrate which is not shown in figure. An internal pad 140 which makes contact between an external terminal and the CCD image sensor formed on the semiconductor chip 100 is formed on the silicon oxide film 120 via an external wiring 410. An internal wiring 150 whose line width is smaller than electrode width of the internal pad 140 is connected with the internal pad 140, which is formed so as to protrude above the semiconductor chip 100.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-347476

(P2003-347476A)

(43)公開日 平成15年12月5日(2003.12.5)

(51)Int.Cl. ⁷	識別記号	F I	マーク- (参考)
H 01 L 23/12	501	H 01 L 23/12	501W 4M118
21/60	301	21/60	301P 5F044
27/14		27/14	D

審査請求 未請求 請求項の数 6 OL (全 10 頁)

(21)出願番号 特願2002-148049(P2002-148049)

(22)出願日 平成14年5月22日(2002.5.22)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 松山 久

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 沖川 满

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 100111383

弁理士 芝野 正雅

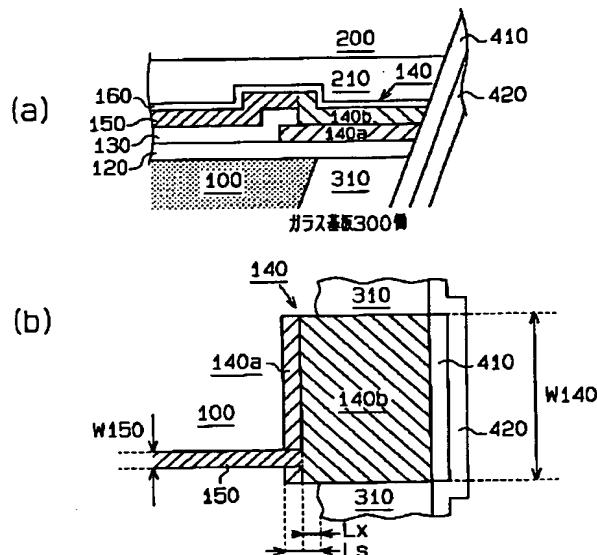
最終頁に続く

(54)【発明の名称】 半導体集積装置及びその製造方法

(57)【要約】

【課題】半導体集積装置内の配線に生じる応力の集中を緩和して、その電気的な信頼性を高く維持することのできる半導体集積装置及びその製造方法を提供する。

【解決手段】CCDイメージセンサの形成された半導体チップ100と同半導体チップ100と図示しないガラス基板とを貼り合せるエポキシ樹脂310との上には、シリコン酸化膜120が形成されている。そして、このシリコン酸化膜120上には、外部配線410を介して、外部端子と半導体チップ100に形成された上記CCDイメージセンサとのコンタクトをとる内部パッド140が形成されている。この内部パッド140には、同内部パッド140の電極幅よりも線幅の細い内部配線150が接続されている。この内部パッド140は、半導体チップ100の上方に迫り出すように形成されている。



【特許請求の範囲】

【請求項1】一方の主面上に複数の外部端子が形成される絶縁基板と、一方の主面に複数の半導体素子が形成された半導体チップと、前記半導体チップの側面を被いつつ前記絶縁基板の他方の主面と前記半導体チップの他方の主面との間に充填される樹脂と、前記樹脂の前記半導体チップの側面との接触面と対向する面を迂回しつつ、前記絶縁基板の複数の外部端子と接続される外部配線と、前記樹脂の前記半導体チップの一方の主面と同一面側に形成され、前記外部配線と接続される内部端子と、を備え、前記内部端子は、同内部端子の幅よりも狭い線幅を有する内部配線と接続されると共に、前記半導体チップの側面と前記樹脂との界面を被うように形成されることを特徴とする半導体集積装置。

【請求項2】請求項1記載の半導体集積装置において、前記内部端子は、複数の層からなると共に、これら複数の層のうちの少なくとも前記樹脂と接する層が、前記半導体チップの側面と前記樹脂との界面を被うように形成されることを特徴とする半導体集積装置。

【請求項3】請求項1記載の半導体集積装置において、前記内部端子は、複数の層からなると共に、これら複数の層の何れかの層と前記内部配線とが接続されており、前記複数の層の重なり合う領域が前記半導体チップの側面と前記樹脂との界面を被うように形成されることを特徴とする半導体集積装置。

【請求項4】複数の半導体チップが形成される半導体基板の一方の主面上に、隣接する前記半導体チップの境界を跨る内部端子を形成する工程と、

前記半導体基板を他方の主面側から前記複数の半導体チップの境界に沿ってエッチングし、前記内部端子の一部を露出させる工程と、

前記半導体基板の他方の主面及びエッチング面を被うように樹脂層を積層させる工程と、

前記樹脂層を介して前記半導体基板の他方の主面側に絶縁基板を装着すると共に、この絶縁基板上に複数の外部端子を形成する工程と、

前記絶縁基板及び前記樹脂層を前記半導体基板の他方の主面側から前記複数の半導体チップの境界に沿って切削し、前記内部端子の一部を再び露出させる工程と、

前記内部端子の露出部分と接続させると共に、前記複数の外部端子と接続される外部配線を形成する工程と、

前記絶縁基板が装着された前記半導体基板を前記複数の半導体チップの配列に合わせて分割する工程と、を有し、

前記内部端子を前記半導体チップの側面と前記樹脂との界面を被うように形成することを特徴とする半導体集積

装置の製造方法。

【請求項5】請求項4に記載の半導体集積装置の製造方法において、前記半導体基板の一方の主面上に内部端子を形成する工程は、前記内部端子を複数の層で形成する工程を含み、前記内部端子の複数の層のうちの少なくとも前記樹脂と接する層が前記半導体チップの側面と前記樹脂との界面を被うように形成することを特徴とする半導体集積装置の製造方法。

【請求項6】請求項4に記載の半導体集積装置の製造方法において、前記半導体基板の一方の主面上に前記内部端子を形成する工程は、前記内部端子を複数の層で形成する工程を含み、

前記内部端子の複数の層の重なり合う領域が前記半導体チップの側面と前記樹脂との界面を被うように形成されることを特徴とする半導体集積装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積装置及びその製造方法に関し、特に半導体集積装置のパッケージング構造及びその製造方法の具現に関する。

【0002】

【従来の技術】半導体集積装置においては、そのパッケージング技術が、同半導体集積装置を小型化するうえで重要な要素となる。このパッケージング技術として、近年、チップサイズパッケージ(CSP: Chip Size Package)が提案されている。図8に、こうしたチップサイズパッケージを採用した半導体集積装置についてその一例を示す。

【0003】同図8(a)に示すように、この半導体集積装置においては、シリコン基板10のうち、複数の半導体素子からなる集積回路の形成された面とガラス基板20とがエポキシ樹脂21によって貼り合わされている。また、シリコン基板10のうちの上記集積回路の形成されている面の裏面とガラス基板30とが同じくエポキシ樹脂31によって貼り合わされている。なお、これらシリコン基板10及びガラス基板30の側面は、ガラス基板20側に広がる傾斜面として形成されている。

【0004】また、上記ガラス基板30には、その底面に外部端子としての複数のバンブ(外部電極)40が形成されており、上記シリコン基板10に形成されている集積回路とこれらバンブ40とは、側面に形成されている外部配線41を介して電気的なコンタクトがとられている。そして、これらシリコン基板10及びガラス基板30の側面やバンブ40の周囲には、これら外部配線41等を覆うようにして保護膜42が形成されている。

【0005】図8(b)に、この半導体集積装置をガラス基板30側から見た平面図(底面図)を示す。同図8(b)に示すように、ガラス基板30の底面には、上記

複数のバンブ40がマトリクス状に配列されてボールグリッドアレイ(BGA)を形成している。

【0006】また、図9(a)は、この半導体集積装置の上記外部配線41周辺についてその断面構造を示したものである。同図9(a)に示すように、シリコン基板10上には、シリコン酸化膜(SiO₂)12が形成されている。そして、このシリコン酸化膜12上には、外部配線41を介して、上記バンブ40とシリコン基板10に形成された集積回路とのコンタクトをとる内部パッド(内部端子)14が形成されている。また、シリコン酸化膜12上には、内部パッド14に隣接して、シリコン窒化膜(Si_xN_y)13が形成されている。そして、シリコン窒化膜13上には、内部パッド14とシリコン基板10に形成された集積回路との電気的なコンタクトをとる内部配線15が形成されている。

【0007】ここで、上記内部パッド14は、2層の金属層からなる。すなわち、シリコン酸化膜12上に形成されている第1メタル層14aと、同第1メタル層14a上に形成されている第2メタル層14bとかなる。図9(b)に、この内部パッド14付近の平面構造を示すように、内部パッド14は、内部配線15と比較してその線幅が太く形成されている。このような構造の採用により、内部パッド14と外部配線41とを電気的に低抵抗にて接続することができる。

【0008】また、図9(a)に示すように、上記内部配線15にはこれを覆うようにしてシリコン酸化膜(SiO₂)16が形成されており、その表面は、上記エポキシ樹脂21によって上記ガラス基板20と貼り合わされている。

【0009】このような態様をもってシリコン基板10のパッケージングを行うことで、半導体集積装置としての小型化を促進することができるようになる。

【0010】

【発明が解決しようとする課題】ところで、上記態様にてパッケージングされた半導体集積装置にあっては、その構造上、温度上昇や吸湿に伴う膨張などによってその内部で発生する応力(ストレス)が問題となり易い。この応力は、半導体集積装置を構成する上記複数の材料の膨張係数の違いによって引き起こされる。

【0011】例えば半導体集積装置の温度が上昇するなどすると、エポキシ樹脂21、31の膨張係数が大きいために、その膨張による体積変化が顕著となる。そして、エポキシ樹脂31の膨張に伴い内部パッド14や内部配線15に応力がかかることとなる。すなわち、エポキシ樹脂31の膨張に伴い、内部パッド14は、エポキシ樹脂31の膨張係数と自身の膨張係数との差だけ、シリコン基板10の表面に沿って、外側すなわち外部配線41の方向への応力を受ける。また、エポキシ樹脂31が収縮する場合には、その収縮に伴い、内部パッド14は、同じくシリコン基板10の表面に沿って、内側すな

わち外部配線41と反対の方向への応力を受ける。

【0012】そして、上記のパッケージング構造において、この応力は、内部配線15に集中的に作用することとなる。図10に、このときの応力イメージを模式的に示す。すなわち上述のように、シリコン基板10と比較してエポキシ樹脂31の伸縮が大きいために、このエポキシ樹脂31の伸縮に追従するかたちで内部パッド14は伸縮(同図10では便宜上、バネSPのように表記)するようになる。そしてこのとき、シリコン基板10及びエポキシ樹脂31の界面近傍に位置する部分、すなわち同図10に破線領域Bとして示す部分に、このエポキシ樹脂31の伸縮に伴う応力が集中することとなる。

【0013】このような応力集中が内部配線15の特定の部分(破線領域B)に繰り返し生じると、やがてはその疲労によって内部配線15及び内部パッド14間の断線に至るなど半導体集積装置としての電気的な信頼性にも大きな影響を及ぼすこととなる。

【0014】なお、上記エポキシ樹脂31にフィラーを混入してその膨張係数を低減することも考えられるが、シリコン基板10と比較すると、このようにフィラーを混入してもエポキシ樹脂31の膨張係数は依然として高く、上記問題を解消するための有効な手段には至っていない。

【0015】本発明はこうした実情に鑑みてなされたものであり、その目的は、半導体集積装置内の配線に生じる応力の集中を緩和して、その電気的な信頼性を高く維持することのできる半導体集積装置及びその製造方法を提供することにある。

【課題を解決するための手段】この発明は、一方の主面上に複数の外部端子が形成される絶縁基板と、一方の主面上に複数の半導体素子が形成された半導体チップと、前記半導体チップの側面を被いつつ前記絶縁基板の他方の主面と前記半導体チップの他方の主面との間に充填される樹脂と、前記樹脂の前記半導体チップの側面との接触面と対向する面を迂回しつつ、前記絶縁基板の複数の外部端子と接続される外部配線と、前記樹脂の前記半導体チップの一方の主面と同一面側に形成され、前記外部配線と接続される内部端子と、を備え、前記内部端子は、同内部端子の幅よりも狭い線幅を有する内部配線と接続されると共に、前記半導体チップの側面と前記樹脂との界面を被うように形成されることで、半導体集積装置内の配線に生じる応力の集中を緩和して、その電気的な信頼性を高く維持することを可能とする。

【0017】また、この発明は、複数の半導体チップが形成される半導体基板の一方の主面上に、隣接する前記半導体チップの境界を跨る内部端子を形成する工程と、前記半導体基板を他方の主面側から前記複数の半導体チップの境界に沿ってエッチングし、前記内部端子の一部を露出させる工程と、前記半導体基板の他方の主面及び

エッティング面を被うように樹脂層を積層させる工程と、前記樹脂層を介して前記半導体基板の他方の主面側に絶縁基板を装着すると共に、この絶縁基板上に複数の外部端子を形成する工程と、前記絶縁基板及び前記樹脂層を前記半導体基板の他方の主面側から前記複数の半導体チップの境界に沿って切削し、前記内部端子の一部を再び露出させる工程と、前記内部端子の露出部分と接続させると共に、前記複数の外部端子と接続される外部配線を形成する工程と、前記絶縁基板が装着された前記半導体基板を前記複数の半導体チップの配列に合わせて分割する工程と、を有し、前記内部端子を前記半導体チップの側面と前記樹脂との界面を被うように形成することで、半導体集積装置内の配線に生じる応力の集中を緩和して、その電気的な信頼性を高く維持することを可能とする。

【0018】

【発明の実施の形態】以下、本発明にかかる半導体集積装置及びその製造方法をCCDイメージセンサの形成された半導体集積装置及びその製造方法に適用した一実施形態について、図面を参照しつつ説明する。

【0019】図1に、CCDイメージセンサの構成を示す。図1に示されるように、同CCDイメージセンサ110は、光電変換を行う撮像部110Pと、この光電変換された電荷を一時的に蓄えておく蓄積部110Cと、同蓄積部110Cに蓄えられた電荷を出力部110Sに出力するための水平転送部110Hとを有して構成されている。

【0020】ここで、撮像部110Pは、照射された光像に対応した光電変換を行う。続いて、画素毎に光電変換された情報電荷は、蓄積部110Cに対し1フレーム毎に高速転送(フレームシフト)される。この蓄積部110Cに蓄積された1フレーム分の情報電荷は次に、水平転送部110Hに1ライン毎に転送される。続いて、水平転送部110Hに転送された情報電荷は、出力部110Sに1画素毎に転送され、この出力部110Sに転送された情報電荷が電圧値に変換される。そして、出力端子TSを介して当該CCDイメージセンサ110の撮像信号として信号処理系(図示略)に出力される。

【0021】こうした情報電荷の転送動作は、CCDイメージセンサ110の各部のゲート電極に電圧を印加することで行われる。詳しくは、撮像部110P及び蓄積部110Cにおいては、3相の異なる電圧($\phi P_1 \sim \phi P_3$ 、 $\phi C_1 \sim \phi C_3$)を端子TP1～TP3、TC1～TC3を介して所定のゲート電極に印加することで電荷の転送を行う。これに対し、水平転送部110Hにおいては、2相の異なる電圧(ϕH_1 、 ϕH_2)を端子TH1及びTH2を介して所定のゲート電極に印加することで電荷の転送を行う。

【0022】このCCDイメージセンサ110は、先の図8に示したようなチップサイズパッケージでパッケー

ジングがなされている。図2に、このチップサイズパッケージのなされたCCDイメージセンサ110の断面構成を示す。

【0023】同図2に示すように、例えばシリコンからなる半導体チップ100の一方の主面には、ここでは図示しないが、先の図1に示したCCDイメージセンサ110が形成されている。そして、このCCDイメージセンサ110の形成された半導体チップ100上には、シリコン酸化膜(SiO₂)120が形成されている。そして、このシリコン酸化膜120上には、外部配線410を介して外部端子と半導体チップ100に形成された集積回路との電気的なコンタクトをとる内部バッド140が形成されている。また、シリコン酸化膜120上には、内部バッド140に隣接して、シリコン窒化膜(Si₃N₄)130も形成されている。そして、シリコン窒化膜130上には、内部バッド140と半導体チップ100に形成された集積回路との電気的なコンタクトをとる内部配線150が形成されている。

【0024】上記内部バッド140は、2層の金属層からなる。すなわち、シリコン酸化膜120上に形成されている第1メタル層140aと、同第1メタル層140a上に形成されている第2メタル層140bとかなる。図2(b)に、この内部バッド140付近の平面図を示す。同図2(b)に示すように、内部バッド140の電極幅W140は、内部配線150の線幅W150よりも太く設定されている。換言すれば、外部配線410及び内部バッド140間の界面と半導体チップ100の面とで作られる線方向についての内部バッド140の電極幅W140が、上記内部バッド140と内部配線150との境界近傍の同内部配線150の線幅W150よりも太く設定されている。そして、上記内部配線150は、内部バッド140のうちの第2メタル層140bと接続されている。なお、内部配線150と第2メタル層140bとは、同一の製造工程にて形成される。

【0025】そして、図2(a)に示すように、これら内部バッド140及び内部配線150を覆うようにしてシリコン酸化膜(SiO₂)160が形成されており、その表面は、上記エポキシ樹脂210によって上記ガラス基板200と貼り合わされている。

【0026】ここで、本実施形態においては、上記内部バッド140の一端及び内部バッド140と内部配線150との接続部分が半導体チップ100の側面とエポキシ樹脂310との界面よりも内側(半導体チップ100側)に位置するように形成されている。すなわち、半導体チップ100面の法線方向への内部バッド140の投影図が、半導体チップ100に迫り出すように形成されている。換言すれば、図2(b)に示すように、上記半導体チップ100の鉛直上方から見て内部バッド140と半導体チップ100とのオーバーラップ長Lsが「0」よりも大きな値となるように設定されている。

【0027】これにより、エポキシ樹脂310の伸縮に伴って内部配線150に生じる応力の緩和を図る。このエポキシ樹脂310の伸縮に伴う応力は、半導体チップ100の膨張係数と比較してエポキシ樹脂310の膨張係数の方が大きいために、半導体チップ100とエポキシ樹脂310との界面上部において大きなものとなる。そして、この界面上部に内部配線150が形成される場合、ここに応力が集中することについては、先の図10に示したとおりである。これに対し、内部配線150よりも線幅の広い内部パッド140をこの界面上部に形成することで、この内部パッド140を応力を抜くためのバッファ領域とすることができます。そして、このバッファ領域により応力を分散させ、応力集中を緩和することができる。

【0028】図3に、このときの応力イメージを模式的に示す。すなわちこの場合においても、エポキシ樹脂310の伸縮に追従するかたちで内部パッド140は伸縮(同図3では便宜上、バネSPのように表記)するようになる。ただし、この場合には、エポキシ樹脂310と内部パッド140との界面近傍の応力は、その上部を覆う内部パッド140がバッファ領域(破線A領域)として機能するために緩和される。

【0029】このように内部パッド140がバッファ領域として機能することは、図5に示すシミュレーション結果からも明らかである。ここでは、外部配線410と接続する内部パッド140に加わる応力について、図4に示すような有限要素モデルを用いてシミュレーションを行った。ここでは、同図4に示すように、外部配線410(そのモデルを140mと表記)と接続する内部パッド140を、白丸で表記する12個の接点を有するモデル140mとした。このとき、シリコン基板とエポキシ樹脂との界面Lを矢印Sの方向に移動させて内部パッドのモデル140mとシリコン基板とのオーバーラップ長Lsを変化させたときに、内部パッドのモデル140mの配線と接続する側の端部A、BにかかるX軸方向の応力についてのシミュレーション結果が、図5である。

【0030】この図5において、オーバーラップ長Lsがマイナスとは、先の図4に示したように内部パッドのモデル140mがシリコン基板の端部よりもエポキシ樹脂側にあることを意味する。同図5に示されるように、内部パッドのモデル140mとシリコン基板とのオーバーラップ長Lsが大きいほど、内部パッドのモデル140mの配線と接続する側の端部A、BにかかるX方向の応力が低下している。

【0031】また、本実施形態においては、先の図2(a)に示すように、2層からなる内部パッド140の第1メタル層140a及び第2メタル層140bの重なり合う領域の一端が半導体チップ100の側面とエポキシ樹脂310との界面よりも内側(半導体チップ100側)に位置するように形成されている。換言すれば、図

10

20

30

40

50

2(b)に示すように、上記半導体チップ100の鉛直上方から見て、第1メタル層140a及び第2メタル層140bの重なり合う領域の一端と半導体チップ100とのオーバーラップ長Lxが「0」よりも大きな値となるようにする。これにより、内部配線150側から外部配線410側へ向かってその断面積が段階的に拡大される2段階の形状を有する内部パッド140において、その断面積が拡大されている領域が半導体チップ100の上方に迫り出すようになる。

【0032】このように、その断面積が拡大されている領域が半導体チップ100の上方に迫り出すことで、エポキシ樹脂310の伸縮に起因する応力を分散させることができます。

【0033】次に、本実施形態にかかるチップサイズパッケージのなされたCCDイメージセンサ110の製造工程について、図6及び図7を用いて説明する。

【0034】ここではまず、図6(a)に示すように、CCDイメージセンサ110が複数形成されたウエハ状の基板100'のうち、同CCDイメージセンサ110の形成されている面(受光面)側に上記内部パッド140の上記第1メタル層140aとする例えばアルミ(A1)からなる金属層140'を形成する。図6(b)に、この金属層140'の形成された基板100'の平面図を示す。同図6(b)に示すように、この金属層140'は、各CCDイメージセンサの境界を跨るように形成されると共に、先の図1に示した端子TP1～TP3、TC1～TC3、TH1及びTH2、TS等に対応して、各別に形成される。

【0035】そして、この後、先の図2に示したシリコン窒化膜130や、第2メタル層140b及び内部配線150、シリコン酸化膜160等を形成した後、図6(c)に示すように、基板100'の受光面と上記ガラス基板200とするガラス基板200'とをエポキシ樹脂210によって貼り合わせる。次に、図6(d)に示すように、基板100'のうち、上記受光面に対向する面をグラインドする。更に、同図6(d)に示すように、基板100'のうち、隣接するCCDイメージセンサ110の境界付近を基板100'の裏面側からエッチングして上記金属層140'の一部を露出させる。ここでは、図6(d)に示すように、半導体チップ100の側面がガラス基板200'側に広がる傾斜面となるようになる。更に、図7(a)に示すように、半導体チップ100のうち、上記グラインドがなされた面に先の図2(a)に示したガラス基板300とするガラス基板300'をエポキシ樹脂にて貼り合わせる。すなわち、半導体チップ100のうちの上記面及びエッチングのなされた面(エッチング面)とを被うように樹脂層としてのエポキシ樹脂を積層させた後、これにガラス基板300'を装着させる。これにここでは、半導体チップ100の切削された面にも上記エポキシ樹脂が充填されるように

する。

【0036】次に、図7(b)に示すように、ガラス基板300'上の上記外部端子としてのバンプが配置される場所に緩衝部材440を形成する。更に、図7(b)に示すように、例えばダイアモンドカッターを用いてガラス基板300'側から上記金属層140'を切断することのできる深さまで、ガラス基板300'等を逆V字型に切削する。

【0037】次に、図7(c)に示すように、上記緩衝部材440及び上記切削された面を覆うようにして、例えばスパッタ法により金属(例えばアルミA1)を堆積させ、これをバーニングすることで上記外部配線410を形成する。これにより、外部配線410は、エポキシ樹脂の面のうち半導体チップ100の側面との接触面に対向する面上を通って、上記内部パッド140と外部端子とを接続するようになる。

【0038】次に、図7(d)に示すように、上記バンプの形成される領域を除き、ガラス基板300及び半導体チップ100等の切削された傾斜面に保護膜420を積層形成する。そして、図7(d)に示すように、緩衝部材440上にバンプ400を形成する。更に、同図7(d)に一点鎖線で示す境界領域をダイシングし、パッケージングされた各CCDイメージセンサのチップとして切断する。

【0039】なお、これらの一連の工程において、ガラス基板300と基板100'とを貼り合せる際に用いたエポキシ樹脂310と半導体チップ100の側面との界面より内側に内部パッド140が迫り出すように設定する。この設定に際しては、先の図6(a)及び図6(b)に示した内部パッド(金属層140')の形成に際して、先の図6(d)に示したエッチング工程において半導体チップ100の上方に内部パッドが十分に残留するよう各CCDイメージセンサとする領域の内側方向にマージンをとることが望ましい。これは、先の図6(d)に示した基板100'をダイシングする工程や内部パッド(金属層140')が露出するまで切削する工程よりも、先の図6(a)及び図6(b)に示した内部パッド(金属層140')を形成する工程の方が、高い精度を確保しやすいことによる。

【0040】以上説明した本実施形態によれば、以下の効果が得られるようになる。

【0041】(1) 上記内部パッド140が半導体チップ100の側面とエポキシ樹脂310との界面よりも内側(半導体チップ100側)に位置するようにした。これにより、この内部パッド140を応力を抜くためのバッファ領域とことができ、このバッファ領域により応力を分散させ、応力集中を緩和することができる。

【0042】(2) 2層からなる内部パッド140の第1メタル層140a及び第2メタル層140bの重なり部分が半導体チップ100の上方に迫り出すように形成

10

した。これにより、内部配線150側から外部配線410側へ向かってその断面積が段階的に拡大される2段階の形状を有する内部パッド140において、その断面積が拡大されている領域が半導体チップ100の上方に迫り出すように形成されるようになる。このため、エポキシ樹脂310の伸縮に起因する応力を分散させることができる。

【0043】(3) 内部パッド140を複数の層(ここでは、2層)にて形成した。これにより、内部パッド140と外部配線410とが接続する接続面の面積を大きくすることができ、両者の電気抵抗を低減することができる。

【0044】(4) 内部パッド140よりも内部配線150の線幅を細くした。これにより、外部配線410とCCDイメージセンサ110との電気的なコンタクトをとる際に、内部配線150の引き回しを容易とすることができます。

【0045】なお、上記各実施形態は、以下のように変更して実施してもよい。

【0046】・上記実施形態においては、内部パッド140(第1メタル層140a)の一端及び内部配線150と第2メタル層140bとの接続部分とが共に、半導体チップ100の側面とエポキシ樹脂310との界面よりも内側に位置するようにしたが、これに限られるものではない。例えば、第1メタル層140aの一端だけが半導体チップ100とエポキシ樹脂310との界面よりも外側に位置してもよい。このような場合、本実施形態と比べて応力を緩和させる能力が若干劣ることとなるが、内部配線150と第2メタル層140bとの境界部分にかかる応力を緩和させることは可能である。

【0047】・上記実施形態においては、配線よりも線幅の太い内部パッドを2層にて形成したが、これに限らず、単層構造であってもよい。この場合、エポキシ樹脂310上には、第1メタル層140aが形成されることなく、内部配線150及び第2メタル層140bが形成されるのみであり、内部配線150と第2メタル層140bとの接続部分が半導体チップ100とエポキシ樹脂310との境界よりも内側に位置するようにすればよい。

【0048】また、内部パッドを複数の層にて形成する場合において、配線と接続される層は、必ずしも最上層に限らない。例えば内部パッドを2層にて形成する場合、下層(第1メタル層140a)と接続させてもよい。この場合、上層(第2メタル層140b)についてはこれが半導体基板の上方に迫り出さなくても、配線よりも太い線幅を有する下層により応力を緩和することはできる。

【0049】同様に、上記実施形態のように上層と配線とを接続する場合において上層のみが半導体基板の上方に迫り出すようにしても、配線よりも太い線幅を有する

50

上層により応力を緩和することはできる。

【0050】・内部パッドを複数の層から形成する代わりに、これを一層にて形成してもよい。この場合であれ、内部パッドを同内部パッドの電極幅よりも細い線幅を有する内部配線と接続させるとともに、この内部パッドが半導体基板の上方に迫り出すようにすることは有効である。

【0051】・半導体基板のうち、CCDイメージセンサの形成された面と貼り合せる透明基板としては、ガラス基板に限らない。また、半導体基板のうち、CCDイメージセンサの形成された面に対向する面と貼り合せる絶縁基板についても、ガラス基板に限らない。

【0052】・半導体基板と透明基板や絶縁基板とを貼り合せる接着剤としては、エポキシ樹脂に限らない。この際、この接着剤としては、半導体基板よりも膨張係数が大きい等、伸縮性の大きなものであるなら、内部パッドを同内部パッドの電極幅よりも線幅の細い内部配線と接続させるとともに、この内部パッドを半導体基板の上方に迫り出すようにすることは特に有効である。

【0053】・先の図2に示した構成は、内部パッドを同内部パッドの電極幅よりも線幅の細い内部配線と接続させるとともに、この内部パッドが半導体基板の上方に迫り出すように形成する範囲で、適宜変更してよい。

【0054】・半導体基板に形成される集積回路としては、フレームトランスマスク型CCDイメージセンサに限らず、例えばインテラーライン型CCDイメージセンサであってもよい。

【0055】

【発明の効果】本願発明によれば、内部パッドが半導体基板の上方に迫り出すようにして形成されるために、この内部パッドを接着剤の伸縮に伴う応力を抜くためのバッファ領域とすることができる、このバッファ領域により応力を分散させ、応力集中を緩和することができる。

【図面の簡単な説明】

* 【図1】本発明にかかる半導体集積装置をCCDイメージセンサの形成された半導体集積装置に適用した一実施形態の構成を示すブロック図。

【図2】同実施形態の構成を示す図。

【図3】同実施形態における応力イメージを模式的に示す図。

【図4】内部パッドのシミュレーションモデルを示す図。

【図5】上記シミュレーションモデルに基づく内部パッドにかかる応力についてのシミュレーションを示す図。

【図6】同実施形態の製造工程を示す断面図。

【図7】同実施形態の製造工程を示す断面図。

【図8】従来のチップサイズパッケージのなされた半導体集積装置の構成を示す図。

【図9】上記従来の半導体集積装置の構成を示す図。

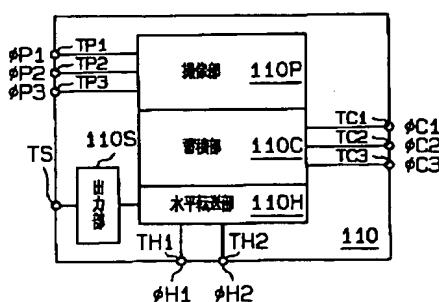
【図10】上記従来の半導体集積装置にかかる応力イメージを模式的に示す図。

【符号の説明】

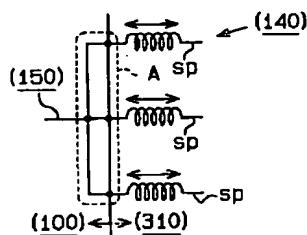
10 …シリコン基板、12 …シリコン酸化膜、13 …シリコン窒化膜、14 …内部パッド 14a …第1メタル層、14b …第2メタル層、15 …配線、16 …シリコン酸化膜、20 …ガラス基板、21 …エポキシ樹脂、30 …ガラス基板、31 …エポキシ樹脂、40 …バンブ、41 …外部配線、42 …保護膜、100 …半導体チップ、110 …CCDイメージセンサ、110C …蓄積部、110H …水平転送部、110P …撮像部、110S …出力部、120 …シリコン酸化膜、130 …シリコン窒化膜、140 …内部パッド 140a …第1メタル層、140b …第2メタル層、150 …内部配線、160 …シリコン酸化膜、200 …ガラス基板、210 …エポキシ樹脂、300 …ガラス基板、310 …エポキシ樹脂、400 …バンブ、410 …外部配線、420 …保護膜、430 …緩衝部材。

*

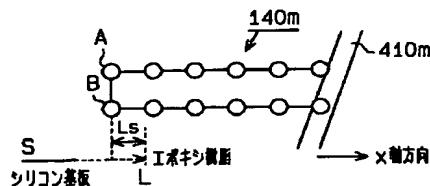
【図1】



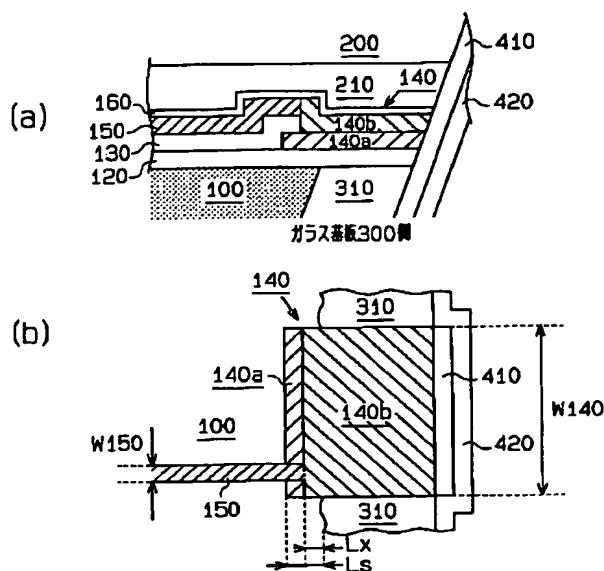
【図3】



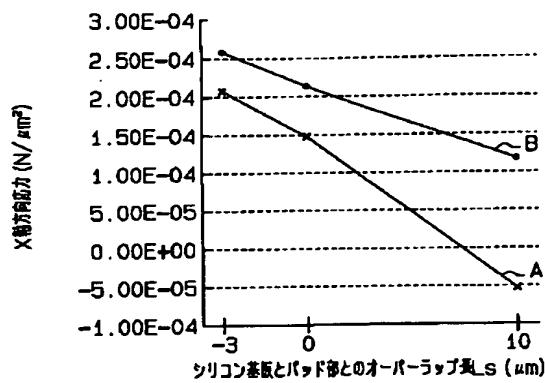
【図4】



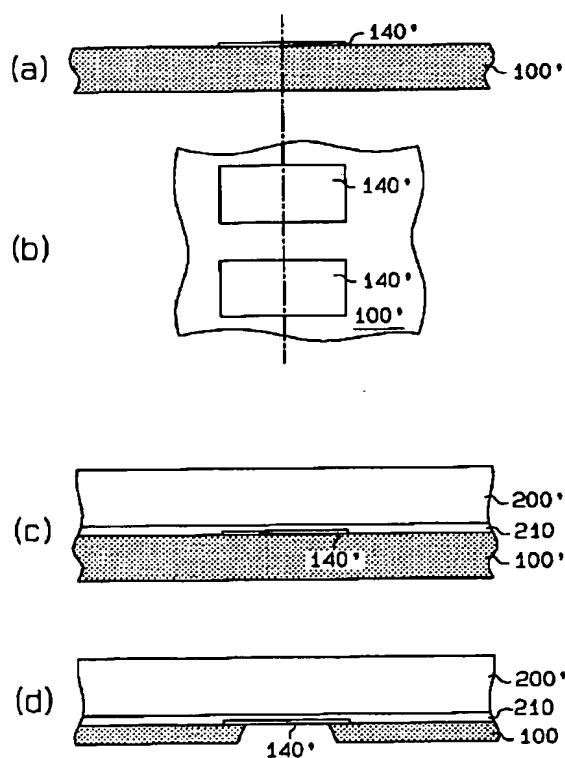
【図2】



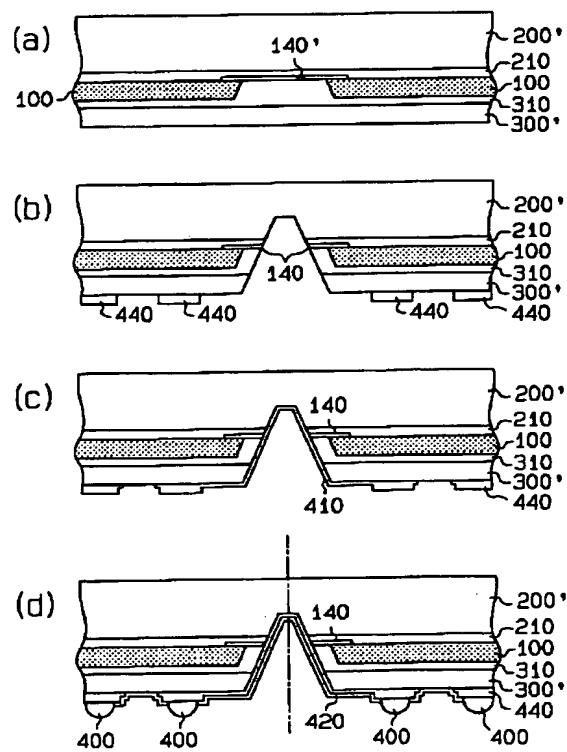
【図5】



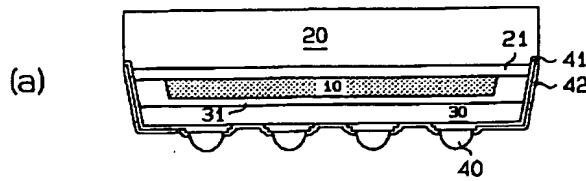
【図6】



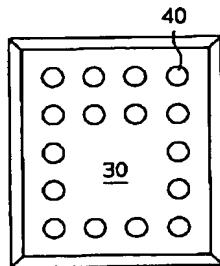
【図7】



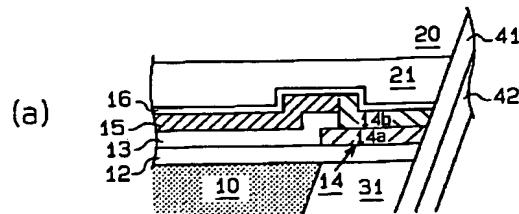
【図8】



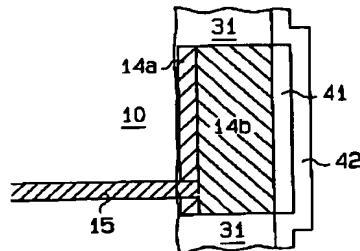
(b)



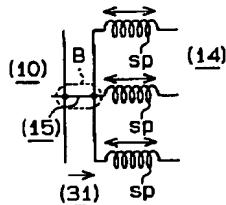
【図9】



(b)



【図10】



【手続補正書】

【提出日】平成15年5月15日(2003.5.1)

5)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】図3に、このときの応力イメージを模式的に示す。すなわちこの場合においても、エポキシ樹脂310の伸縮に追従するかたちで内部パッド140は伸縮(同図3では便宜上、バネSPのように表記)するようになる。ただし、この場合には、エポキシ樹脂310と半導体チップ100との界面上部の応力は、その上部を覆う内部パッド140がバッファ領域(破線A領域)とし

て機能するために緩和される。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】次に、図7(d)に示すように、上記バンプの形成される領域を除き、ガラス基板300及び半導体チップ100等の切削された傾斜面に保護膜420を積層形成する。そして、緩衝部材440上にバンプ400を形成する。更に、同図7(d)に一点鎖線で示す境界領域をダイシングし、パッケージングされた各CCDイメージセンサのチップとして切断する。

フロントページの続き

F ターム(参考) 4M118 AA10 BA12 BA13 FA06 HA12
HA26 HA29 HA31
5F044 EE06 EE21 QQ06